



OSU
H
PATENTS

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant: Shigeto INUI Examiner: Unassigned
Serial No.: 09/778,258 Art Unit: Unassigned
Filed: February 7, 2001 Docket: 14309
For: DIVIDER Dated: March 13, 2001

Assistant Commissioner for Patents
Washington, DC 20231

CLAIM OF PRIORITY

Sir:

Applicant in the above-identified application hereby claims the right of priority in connection with Title 35 U.S.C. § 119 and in support thereof, herewith submits a certified copy of Japanese Patent Application 2000-029524, filed on February 7, 2001.

Respectfully submitted,

Paul J. Esatto, Jr.
Registration No. 30,749

Scully, Scott, Murphy & Presser
400 Garden City Plaza
Garden City, NY 11530
(516) 742-4343

PJE:ahs

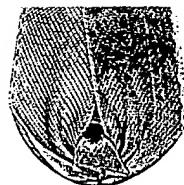
CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Assistant Commissioner of Patents and Trademarks, Washington, D.C. 20231 on March 13, 2001.

Dated: March 13, 2001

Michelle Mustafa

g1necl235\14309\MISC\14309.claimprior



日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

200

09/778258

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日
Date of Application:

2000年 2月 7日

出願番号
Application Number:

特願2000-029524

出願人
Applicant(s):

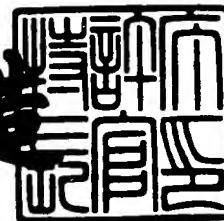
日本電気株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2000年12月15日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2000-3103811

【書類名】 特許願

【整理番号】 34001932

【提出日】 平成12年 2月 7日

【あて先】 特許庁長官 殿

【国際特許分類】 G06F 7/49

G06F 7/52

【発明の名称】 除算器

【請求項の数】 2

【発明者】

【住所又は居所】 東京都港区芝五丁目7番1号 日本電気株式会社内

【氏名】 乾 重人

【特許出願人】

【識別番号】 000004237

【氏名又は名称】 日本電気株式会社

【代理人】

【識別番号】 100108578

【弁理士】

【氏名又は名称】 高橋 詔男

【代理人】

【識別番号】 100064908

【弁理士】

【氏名又は名称】 志賀 正武

【選任した代理人】

【識別番号】 100101465

【弁理士】

【氏名又は名称】 青山 正和

【選任した代理人】

【識別番号】 100108453

【弁理士】

【氏名又は名称】 村山 靖彦

【手数料の表示】

【予納台帳番号】 008707

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709418

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 除算器

【特許請求の範囲】

【請求項1】 k を正整数として、 $1/2^k$ 以上 $1/2^{k+1}$ 未満に正規化された除数及び被除数と、部分剰余の全ビットの内演算の基数及び最大デジット数により定められるビット長を参照して商を定める高基數型除算器であって、

前記除算器は、

除数を所定の範囲内にスケーリングする乗算係数を発生するスケーリングファクタ生成部と、

前記乗算係数を前記除数及び前記被除数のそれぞれに乗算する乗算部と、

前記乗算係数が乗算された前記除数の3倍数を生成する除数3倍数生成部と、

前記乗算係数が乗算された除数と被除数、及び前記除数の3倍数により除算を繰り返し行う繰り返し演算部と、

を備え、

前記繰り返し演算部は、部分剰余の任意長の上位ビット数を参照し二補数化された4ビットの部分剰余の上位ビットを生成し該部分剰余の上位4ビットを参照して商を生成することを特徴とする除算器。

【請求項2】 前記スケーリングファクタ生成部は、

前記除数が $5/3 \times 1/2^k$ 以上 $3/4 \times 1/2^k$ 未満の範囲に収まるように乗算係数を発生することを特徴とする請求項1に記載の除算器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、除算器に関するものであり、特に高基數型のデジタル型の除算器に関するものである。

【0002】

【従来の技術】

従来この種の除算器は、例えば、「1998年電子情報通信学会総合大会講演論文集エレクトロニクス[2]」に掲載された「商選択テーブルを用いない基数

4 除算器の構成、三浦他」にあるように、高基数型の除算器をLSIに実装する手段として用いられている。

【0003】

除算器の実装においては、除算アルゴリズムとして減算シフト法、あるいは減算引き離し法等を用いたものが、ハードウェア量と性能のバランスが良いことから一般的に用いられている。この除算アルゴリズムは我々が通常筆算で除算を行うのと同様に、商の決定と、余り（部分剰余）のシフトと余りからの分母（除数）の倍数の減算により除算を行う手法である。このような除算アルゴリズムについて述べたものとして、「コンピュータの高速演算方式、1980、近代科学社、P.P. 214-249」には回復型除算、非回復型除算、SRT除算、拡張SRT除算といった各種の除算手法について述べられている。

【0004】

まず汎用的な、減算シフト法を用いた除算の手順について簡単に説明する。演算のビット長を n （任意の正整数）、演算の基數を r 、除数を D 、被除数を $R(0)$ 、 j を 0 以上の整数として j 回目の部分剰余を $R(j)$ 、 j 回目の商を $q(j)$ とする。また、ここでは除数 D 、被除数 $R(0)$ は正規化されているとする。ここでは正規化浮動小数点フォーマットとして、「1. xxxx」を用いるものとし、除数、被除数共に正規化されているとする。本フォーマットに合致しないデータ形式を扱う場合でも、演算前後に適当なシフト処理を実行することで本浮動小数点フォーマットについての処理を適用可能である。

【0005】

また、ここで使用される商及び部分剰余は冗長二進表現により表される。すなわち、二補数表現であれば各ビットが {0, 1} で表されるところを、{-1, 0, 1} の 3 値を探ることを許し、負の値を可能としている。

【0006】

入力データが上述のように正規化されているとの条件の下で、次の(1)式に示される漸化式を用いて順次商及び部分剰余を求めることができる。

$$R(j+1) = r \times R(j) - q(j+1) \times D \dots (1)$$

このとき商 $q(j+1)$ は、基數 r により定められるデジット集合の中から以下

の(2)式を満たすように選択される。

$$0 \leq |R(j+1)| < k \times D \dots (2)$$

ここでkは(3)式を満たす定数である。

$$k = m / (r - 1) \dots (3)$$

ここでmは、基數rの数系におけるデジット集合の内、最大の絶対値を持つデジットである。この場合、mの最小値は $1 / 2 \times r$ であり、最大値は $r - 1$ なのでkの範囲は、(4)式のようになる。

$$1 / 2 \leq k < 1 \dots (4)$$

【0007】

例えば基數4の数系を例に取ると、デジット集合は、 $\{-3, -2, -1, 0, 1, 2, 3\}$ と $\{-2, -1, 0, 1, 2\}$ の二つが考えられる。前者については $k = 1$ であり、後者については $k = 2 / 3$ となる。 k の値が小さくなるということは、(2)式より演算途中の部分剰余の値域がより狭められるということである。すなわち、後者の場合は除数の倍数として3倍数を選択することができないために、演算途中の部分剰余の値域に対して制限を加え、除数の2倍数までで除算を行えるようにしている。また、基數2の数系の場合はデジット集合が $\{-1, 0, 1\}$ のみであり、これは $k = 1$ の場合に相当する。(1)式によりにより商を求める場合、一回の除算により求められる商のビット数は $1 \circ g_2 r$ であるので、 $n / 1 \circ g_2 r$ 回除算を繰り返すことにより所望のビット数の商を求めることができる。

【0008】

上記のような除算アルゴリズムは、P-Dプロットと呼ばれるグラフに要約することができる。図6に、上記に挙げた除算アルゴリズムのP-Dプロットを示す。横軸に除数、縦軸に基數倍した部分剰余（以後シフト後の部分剰余）を示す。ただしP-Dプロットはx軸対象なので、y軸について正の範囲のみ示した。このP-Dプロットで表される除算アルゴリズムを実装した場合、除数DのMSBを除く上位2ビットと、シフト後の部分剰余の上位5ビットを参照することにより商を決定することができる。ここでシフト後の部分剰余の参照ビットは二補数化されているものと仮定する。除数のMSBは、正規化により1であることが

保証されているため、参照の必要はない。除数の参照ビットが2ビットであるので、除数の範囲に従ってP-Dプロット全体を4つの区間に区分することができ、各々の区分内では、シフト後の部分剰余の補数表現での上位5ビットの値に対してひとつの商の値を関連付けることができる。

【0009】

ある一組の、除数上位2ビット（ただし、MSBを除く）、シフト後の部分剰余の二補数化された上位5ビットは、P-Dプロット上である一定の範囲の値を代表する。除数の上位2ビット（ただし、MSBを除く）をDtとするとき、真の除数Dは、下記の範囲に存在する。

$$1 + Dt \leq D < 1 + Dt + 1/4 \dots (5)$$

また、シフト後の部分剰余の二補数化された上位5ビットをRt(j)とすると、真のシフト後の部分上の値rR(j)は、下記の(6)式の範囲に存在する。

$$Rt(j) - 1/2 < rR(j) < Rt(j) + 1/2 \dots (6)$$

部分剰余は冗長二進表現を取るため、Rt(j)に対して負の方向の領域にも真の値が存在する可能性がある。(5)、(6)式で表されるP-Dプロット上の矩形領域が、真の除数、部分剰余の存在する範囲であり、以下不確定領域と呼ぶ。除数、部分剰余の上位ビットのみを参照して商を決定すると言ふことは、この不確定領域内の全ての値において、(2)式が満たされるように商を決定することと同義である。例えば商として3を選択する場合、(1)、(2)式より、rR(j)=4Dで表される直線からrR(j)=2Dで表される直線が、商として3を選択できる領域であり、不確定領域がこの範囲内に全て収まっている場合のみに、3を選択することができる。不確定領域を大きくとるということ、参照する除数と部分剰余のビット数を減らすことにより、商を決定する論理を簡単にできる。従って、(1)、(2)式を満たしつつ最大の不確定領域を選択することが重要である。また、商の決定に先立ち、シフト後の部分剰余は、商決定に必要な参照ビットは冗長二進数から二補数表現へ変換しておく必要がある。

【0010】

以上に述べてきた除算アルゴリズムでは、除数DのMSBの次の2ビットと、シフト後の部分剰余の上位5ビットを参照して不確定領域を定める必要がある。

この時除数が、除数の参照2ビットにより決定されるP-Dプロット上の4つの領域のどれかに収まるように乗算係数を選択し、演算前に除数と被除数に該係数を乗じれば、商を決定する際に除数の2ビットを参照する必要がなくなる。また除算の性質上、演算前に除数と部分剰余に同じ係数を乗じても得られる商に変化のないことは自明であろう。

【0011】

このように、除算開始前に適切に選択された係数（以後乗算係数とする）を乗じることで除算を高速化する手法をスケーリングと呼ぶ。例えば、除数を $1.50 \leq \text{除数} < 1.75$ の範囲にスケーリングし、更にシフト後の部分剰余の上位5ビットを非冗長化（二補数化）することで、シフト後の部分剰余の上位4ビットの参照で商決定を可能としている。スケーリングは下記に示すように、「除数の範囲」毎に、「乗算係数」を予め決めておき、除数に対してこの乗算係数を乗算することによって、除数を $1.50 \leq \text{除数} < 1.75$ の範囲に収まるようにするものである。

除数の範囲	乗算係数	倍数の組み合わせ
$1.000 \leq \text{除数} < 1.125$	1.500	$1+1/2$
$1.125 \leq \text{除数} < 1.250$	1.375	$1+1/4+1/8$
$1.250 \leq \text{除数} < 1.375$	1.250	$1+1/4$
$1.375 \leq \text{除数} < 1.500$	1.125	$1+1/8$
$1.500 \leq \text{除数} < 1.625$	1.000	1
$1.625 \leq \text{除数} < 1.750$	1.000	1
$1.750 \leq \text{除数} < 1.875$	0.875	$1-1/8$
$1.875 \leq \text{除数} < 2.000$	0.875	$1-1/8$

また、この「乗算係数」は上記の「倍数の組み合わせ」に示すように、 $\pm 1/2^n$ 倍（ただし、nは0を含む自然数）の組合せで実現できるため、シフトと加算のみによって生成することが可能である。

上記の除数の範囲を同定するには、MSBを除いた除数の上位3ビットを参照すればよい。除数は正規化されているため、MSBは必ず1となることが保証されているので参照する必要はない。上記の乗算の結果、除数は $1.50 \leq \text{除数} <$

1. 75の範囲にスケーリングされる。この場合のP-Dプロットを図7に示す。除数を参照する必要がないのみならず、不確定領域をスケーリングを行わない場合に比べて、y方向に1.5倍に拡大することができ、シフト後の部分剩余の参照ビットを二補数化された上位4ビットにすることができる。

【0012】

次に、この従来技術における具体例を図面を参照して説明する。図4は、除算器の一例を示すブロック図である。ここでは、演算の基底が4、デジット集合が $\{-3, -2, -1, 0, 1, 2, 3\}$ 、除数、被除数がnビット長小数で、演算アルゴリズムに拡張SRT除算アルゴリズムを用いた除算の場合について説明する。ここでは、除数及び被除数は、53ビットで入力されるものとする。

【0013】

図4において、符号11はスケーリングに用いる乗算係数を生成するスケーリングファクタ生成部である。符号21は、53ビット×4ビット乗算器であり、入力された53ビットの除数とスケーリングファクタ生成部11の出力を乗算して出力する。符号31は、53ビット×4ビット乗算器であり、入力された53ビット被除数とスケーリングファクタ生成部11の出力を乗算して出力する。符号41は、53ビット×4ビット乗算器21の出力を3倍して出力する除数3倍数生成部である。符号51は、53ビット×4ビット乗算器21の出力である除数(56ビット)、除数3倍数生成部41の出力である除数3倍数(57ビット)、及び53ビット×4ビット乗算器31の出力である被除数(56ビット)を繰り返し演算することによって商を求める繰り返し演算部である。符号61は、繰り返し演算部51の出力を保存する商レジスタであり、符号71は商の二補数化を行う加算器である。図5に、図4に示す繰り返し演算部51の詳細な構成の一例を示す。

【0014】

次に、図4に示す除算器の動作について説明する。除数のMSBを除く上位3ビット([2:4])はスケーリングファクタ生成部11へ入力され、生成された乗算係数は53ビット×4ビット乗算器21及び53ビット×4ビット乗算器31へ入力される。ここで入力される乗算係数は4ビットで表現された値である

。そして、53ビット×4ビット乗算器21及び53ビット×4ビット乗算器31において、除数及び被除数に対してそれぞれ乗算係数の乗算が行われ、除数及び被除数は、56ビット表現の値となって出力される。さらにこの56ビットの除数は、除数3倍数生成部41によって57ビットの除数3倍数が生成される。

【0015】

次に、56ビット表現の除数、57ビット表現の除数3倍数、及び56ビット表現の被除数は繰り返し演算部51へそれぞれ入力される。そして、繰り返し演算部51において、入力された3つの値を用いて除算処理が繰り返しで行われ、商が求められる。

【0016】

繰り返し演算部51において生成された商は、商レジスタ61に保存され、最終的に、必要なビット数だけ商がそろった後に、加算器71により、商の二補数化行わされて通常数へと変換され、出力されることによって除算が終了する。

【0017】

【発明が解決しようとする課題】

しかしながら、図4に示すスケーリングを伴う除算器においては、シフト後の部分剰余の上位4ビット（二補数表現）を参照することで商選択を行えるようにするために、シフト後の部分剰余の上位5ビットを二補数化する必要があった。このため、繰り返し演算部内の二補数変換回路において、回路の遅延、面積が悪化するという問題がある。特に、繰り返し演算部51においては、繰り返し除算処理が行われるため、繰り返し演算部51内の回路構成が大きいと除算処理の速度を悪化させてしまうという問題がある。

【0018】

本発明は、このような事情に鑑みてなされたもので、入力された除数、被除数を $5/3 \leq \text{除数} < 1.75$ の範囲にスケーリングすることで、シフト後の部分剰余の上位4ビットのみを二補数化することで商を決定でき、さらに除算処理の高速化を図ることができる除算器を提供することを目的とする。

【0019】

【課題を解決するための手段】

請求項1に記載の発明は、 k を正整数として、 $1/2^k$ 以上 $1/2^{k+1}$ 未満に正規化された除数及び被除数と、部分剰余の全ビットの内演算の基數及び最大デジット数により定められるビット長を参照して商を定める高基數型除算器であって、前記除算器は、除数を所定の範囲内にスケーリングする乗算係数を発生するスケーリングファクタ生成部と、前記乗算係数を前記除数及び前記被除数のそれぞれに乘算する乗算部と、前記乗算係数が乗算された前記除数の3倍数を生成する除数3倍数生成部と、前記乗算係数が乗算された除数と被除数、及び前記除数の3倍数により除算を繰り返し行う繰り返し演算部とを備え、前記繰り返し演算部は、部分剰余の任意長の上位ビット数を参照し二補数化された4ビットの部分剰余の上位ビットを生成し該部分剰余の上位4ビットを参照して商を生成することを特徴とする。

【0020】

請求項2に記載の発明は、前記スケーリングファクタ生成部は、前記除数が $5/3 \times 1/2^k$ 以上 $3/4 \times 1/2^k$ 未満の範囲に収まるように乗算係数を発生することを特徴とする。

【0021】

【発明の実施の形態】

以下、本発明の一実施形態による除算器を図面を参照して説明する。図1は同実施形態の構成を示すブロック図である。本実施形態においては、演算の基數が4、デジット集合が{-3, -2, -1, 0, 1, 2, 3}、除数、被除数がnビット長の小数で、演算アルゴリズムに拡張SRT除算アルゴリズムを用いた器であるものとする。

【0022】

図1において、符号1はスケーリングに用いる乗算係数を生成するスケーリングファクタ生成部である。符号2は、53ビット×6ビット乗算器であり、入力された53ビットの除数とスケーリングファクタ生成部1の出力とを乗算して出力する。符号3は、53ビット×6ビット乗算器であり、入力された53ビット被除数とスケーリングファクタ生成部1の出力とを乗算して出力する。符号4は、53ビット×6ビット乗算器2の出力を3倍して出力する除数3倍数生成部で

ある。符号5は、53ビット×6ビット乗算器2の出力である除数（58ビット）、除数3倍数生成部4の出力である除数3倍数（59ビット）、及び53ビット×4ビット乗算器3の出力である被除数（58ビット）を繰り返し演算することによって商を求める繰り返し演算部である。符号6は、繰り返し演算部5の出力を保存する商レジスタであり、符号7は商の二補数化を行う加算器である。図2に、図1に示す繰り返し演算部5の詳細な構成の一例を示す。

【0023】

ここで、本発明の除算器について、P-Dプロットを用いて説明する。図3に本実施形態に対応するP-Dプロットを示す。本実施形態では、下記に示す乗算係数を用いて、除数を $5/3 \leq$ 除数 < 1.75 の範囲にスケーリングを行う。

除数の範囲	乗算係数	倍数の組み合わせ
1.00000 ≤ 除数 < 1.03125	1.68750	1+1/2+1/8+1/16
1.03125 ≤ 除数 < 1.06250	1.62500	1+1/2+1/8
1.06250 ≤ 除数 < 1.09375	1.59375	1+1/2+1/16+1/32
1.09375 ≤ 除数 < 1.12500	1.53125	1+1/2+1/32
1.12500 ≤ 除数 < 1.15625	1.50000	1+1/2
1.15625 ≤ 除数 < 1.18750	1.46875	1+1/2-1/32
1.18750 ≤ 除数 < 1.21875	1.40625	1+1/4+1/8+1/32
1.21875 ≤ 除数 < 1.25000	1.37500	1+1/4+1/8
1.25000 ≤ 除数 < 1.28125	1.34375	1+1/4+1/16+1/32
1.28125 ≤ 除数 < 1.31250	1.31250	1+1/4+1/16
1.31250 ≤ 除数 < 1.34375	1.28125	1+1/4+1/32
1.34375 ≤ 除数 < 1.37500	1.25000	1+1/4
1.37500 ≤ 除数 < 1.40625	1.21875	1+1/4-1/32
1.40625 ≤ 除数 < 1.43750	1.18750	1+1/8+1/16
1.43750 ≤ 除数 < 1.46875	1.18750	1+1/8+1/16
1.46875 ≤ 除数 < 1.50000	1.15625	1+1/8+1/32
1.50000 ≤ 除数 < 1.53125	1.12500	1+1/8
1.53125 ≤ 除数 < 1.56250	1.09375	1+1/16+1/32

1.56250 ≤ 除数 < 1.59375	1.09375	1+1/16+1/32
1.59375 ≤ 除数 < 1.62500	1.06250	1+1/16
1.62500 ≤ 除数 < 1.65625	1.03125	1+1/32
1.65625 ≤ 除数 < 1.68750	1.03125	1+1/32
1.68750 ≤ 除数 < 1.71875	1.00000	1
1.71875 ≤ 除数 < 1.75000	1.00000	1
1.75000 ≤ 除数 < 1.78125	0.96875	1-1/32
1.78125 ≤ 除数 < 1.81250	0.93750	1-1/16
1.81250 ≤ 除数 < 1.84375	0.93750	1-1/16
1.84375 ≤ 除数 < 1.87500	0.90625	1-1/8+1/32
1.87500 ≤ 除数 < 1.90625	0.90625	1-1/8+1/32
1.90625 ≤ 除数 < 1.93750	0.87500	1-1/8
1.93750 ≤ 除数 < 1.96875	0.87500	1-1/8
1.96875 ≤ 除数 < 2.00000	0.87500	1-1/8

また、この「乗算係数」は上記の「倍数の組み合わせ」に示すように、 $\pm 1/2^n$ 倍（ただし、nは0を含む自然数）の組合せで実現できるため、シフトと加減算のみによって生成することが可能である。除数の範囲の同定は、MSBを除く除数の上位5ビットの参照により決定される。

【0024】

次に、図1に示す除算器の動作について説明する。除数のMSBを除く上位5ビット（[2:6]）はスケーリングファクタ生成部1へ入力され、生成された乗算係数は53ビット×6ビット乗算器2及び53ビット×6ビット乗算器3へ入力される。ここで入力される乗算係数は6ビットで表現された値である。そして、53ビット×6ビット乗算器2及び53ビット×6ビット乗算器3において、除数及び被除数に対してそれぞれ乗算係数の乗算が行われ、除数及び被除数は、58ビット表現の値となって出力される。さらにこの58ビットの除数は、除数3倍数生成部4によって59ビットの除数3倍数が生成される。

【0025】

次に、58ビット表現の除数、59ビット表現の除数3倍数、及び58ビット

表現の被除数は繰り返し演算部5へそれぞれ入力される。そして、繰り返し演算部5において、入力された3つの値を用いて除算処理が繰り返しで行われ、商が求められる。

【0026】

繰り返し演算部5において生成された商は、商レジスタ6に保存され、最終的に、必要なビット数だけ商がそろった後に、加算器7により、商の二補数化行われて通常数へと変換され、出力されることによって除算が終了する。

【0027】

このように、図4に示す除算器においては、上位4ビットのみの二補数化では商生成に必要な精度が確保できなかったが、本実施形態では $5/3 \leq \text{除数} < 1.75$ へのスケーリングによりP-Dプロット上での不確定領域の範囲を従来例に比べて広く設定することができ、十分な精度で商を選択することが出来る。

【0028】

図4に示す除算器においては、本発明と同じく二補数化ビットを4ビットとした場合、上位ビットが二進数で0100（10進数で4.0）の場合において、制限範囲を超えててしまう。この場合のシフト後の部分剰余 $r_R(j)$ の値域は、

$$3.0 < r_R(j) < 5.0 \dots (7)$$

であり、 $1.5 \leq \text{除数} < 1.75$ の領域においては、商が1もしくは2の領域、2もしくは3の領域、3の領域と共に含むことになり、前述の(1)、(2)式を満足できない。

【0029】

これに対して本発明では、スケーリング範囲を更に限定することにより、この問題を解消している。本発明の特長であるスケーリング範囲では(7)式で示される不確定領域は、商が3に限定される領域を含まず、商が1もしくは2の領域、2もしくは3の領域のみに限定される。従って、商として2を選択することにより(1)、(2)式を満足することが出来る。

【0030】

図2に示す繰り返し演算部5の回路構成は、図5に示す繰り返し演算部51の回路構成と比べて、規模を小さくすることができるため、繰り返し行われる除

算処理を高速にすることができます。本実施形態においては、除数及び被除数に対して、乗算係数を乗算する処理のビット数を増やしたが、商を求める処理においてこの乗算処理は1度のみ実行されるのみである。これに対し、繰り返し演算部5における除算処理は繰り返し行われるために、この繰り返し演算処理を高速にすることによって、除算全体の処理時間を短縮することができる。

なお、図5に示す符号A1、A2は、図2に示す回路において、削減できる部分を示している。

【0031】

【発明の効果】

以上説明したように、この発明によれば、除数を $5/3 \leq \text{除数} < 1.75$ の範囲にスケーリングを行うことにより、部分剰余の上位4ビットの正規化及びその4ビットの参照により商を決定することができるという効果が得られる。また、除算処理を繰り返し行う繰り返し演算部の回路構成の規模を小さくすることができるために、商生成に要する処理時間を短縮することができるという効果も得られる。

【図面の簡単な説明】

【図1】 本発明の一実施形態の構成を示すブロック図である。

【図2】 図1に示す繰り返し演算部5の詳細な構成を示す回路図である。

【図3】 除算アルゴリズムを説明するP-Dプロットである。

【図4】 従来技術による除算器のこうせいを示すブロック図である。

【図5】 図4に示す繰り返し演算部51の詳細な構成を示す回路図である。

【図6】 除算アルゴリズムを説明するP-Dプロットである。

【図7】 除算アルゴリズムを説明するP-Dプロットである。

【符号の説明】

1 . . . スケーリングファクタ生成部、

2 . . . 53ビット×6ビット乗算器、

3 . . . 53ビット×6ビット乗算器、

4 . . . 除数3倍数生成部、

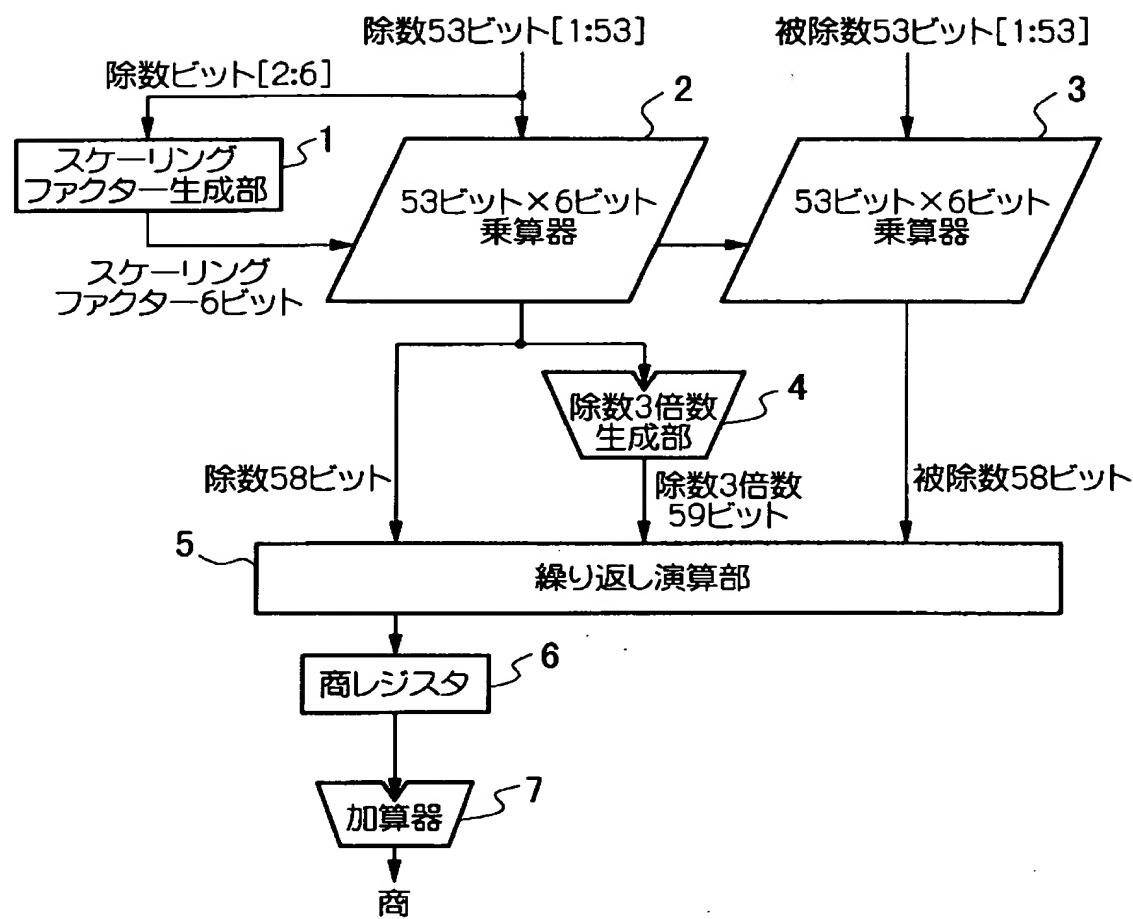
5 . . . 繰り返し演算部、

6 . . . 商レジスタ、

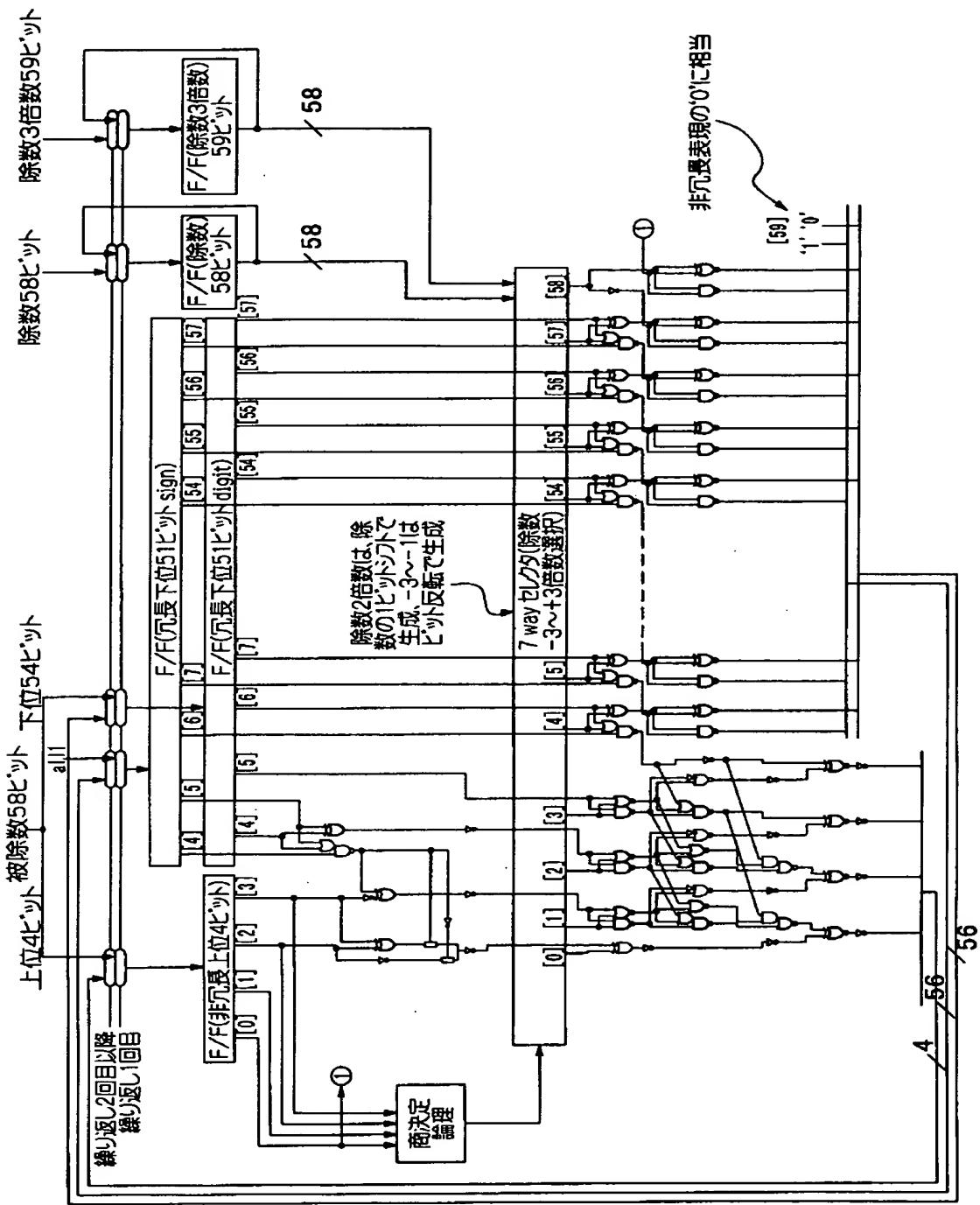
7 . . . 加算器。

【書類名】 図面

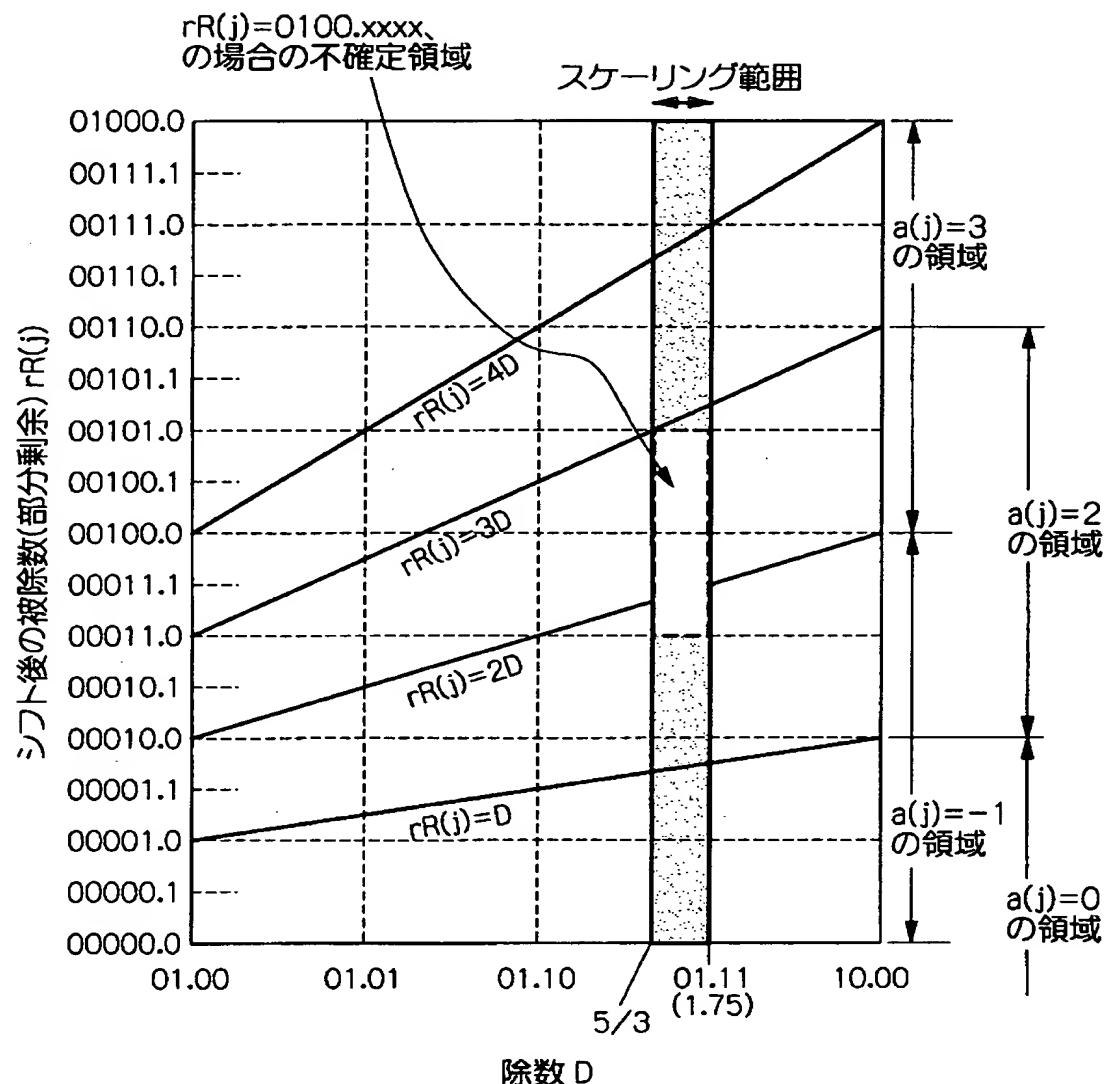
【図1】



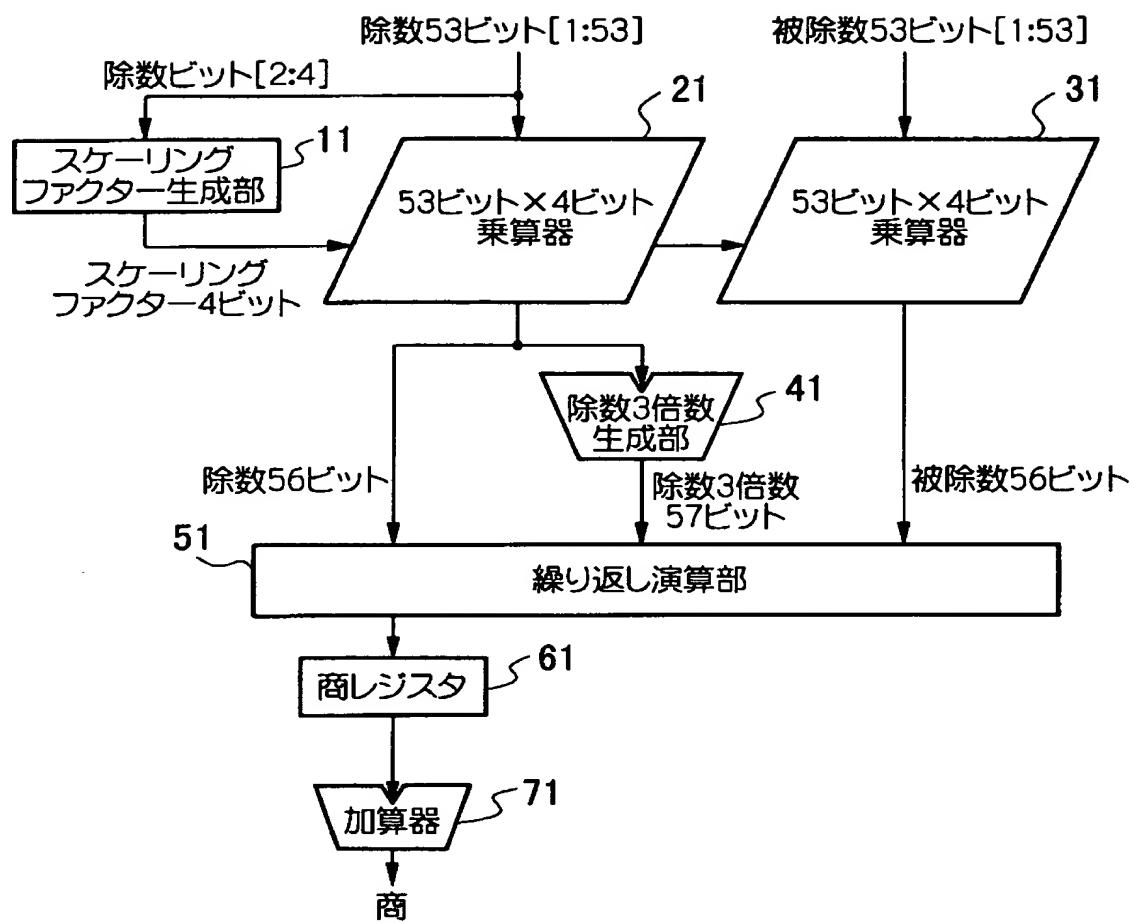
【図2】



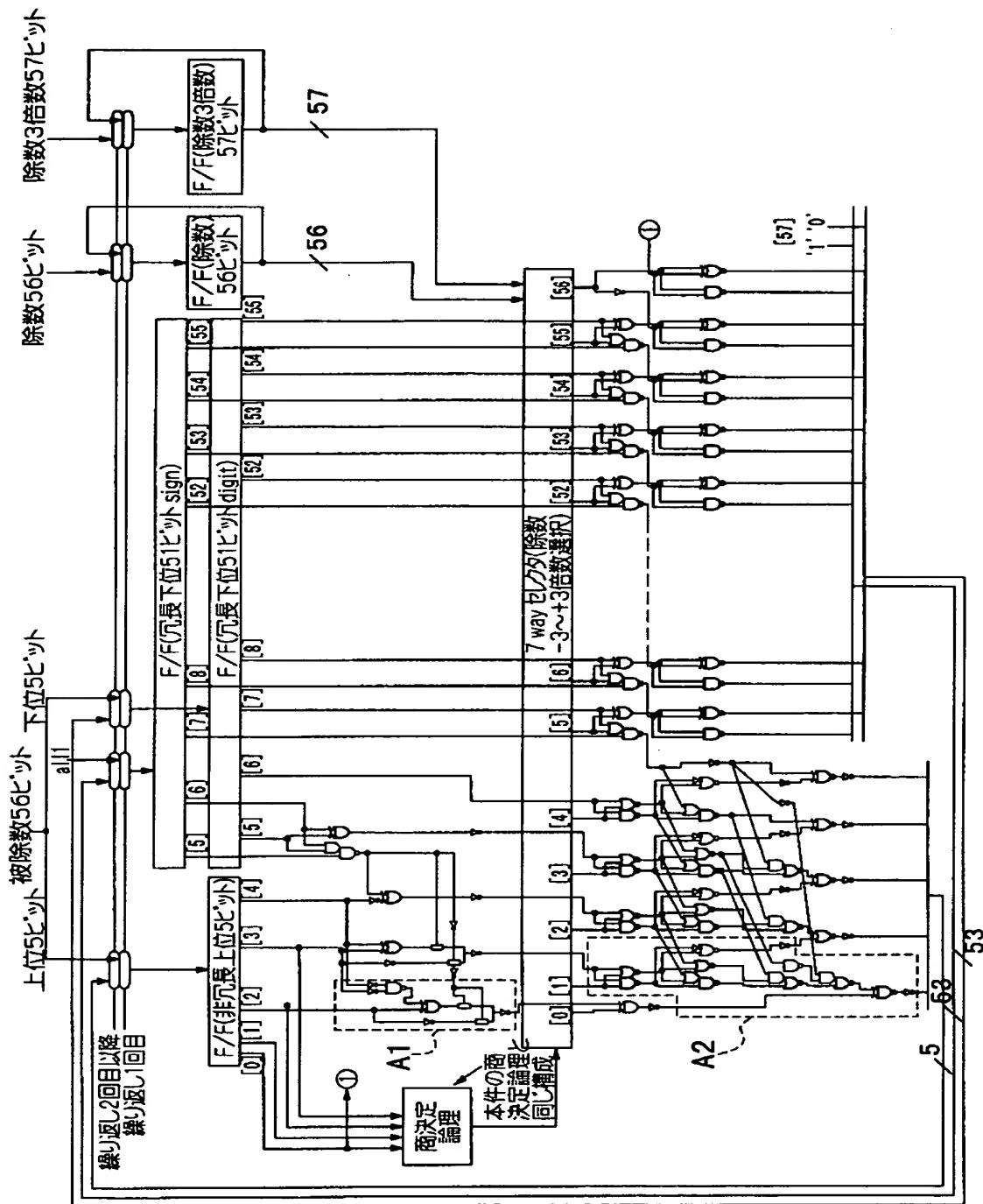
【図3】



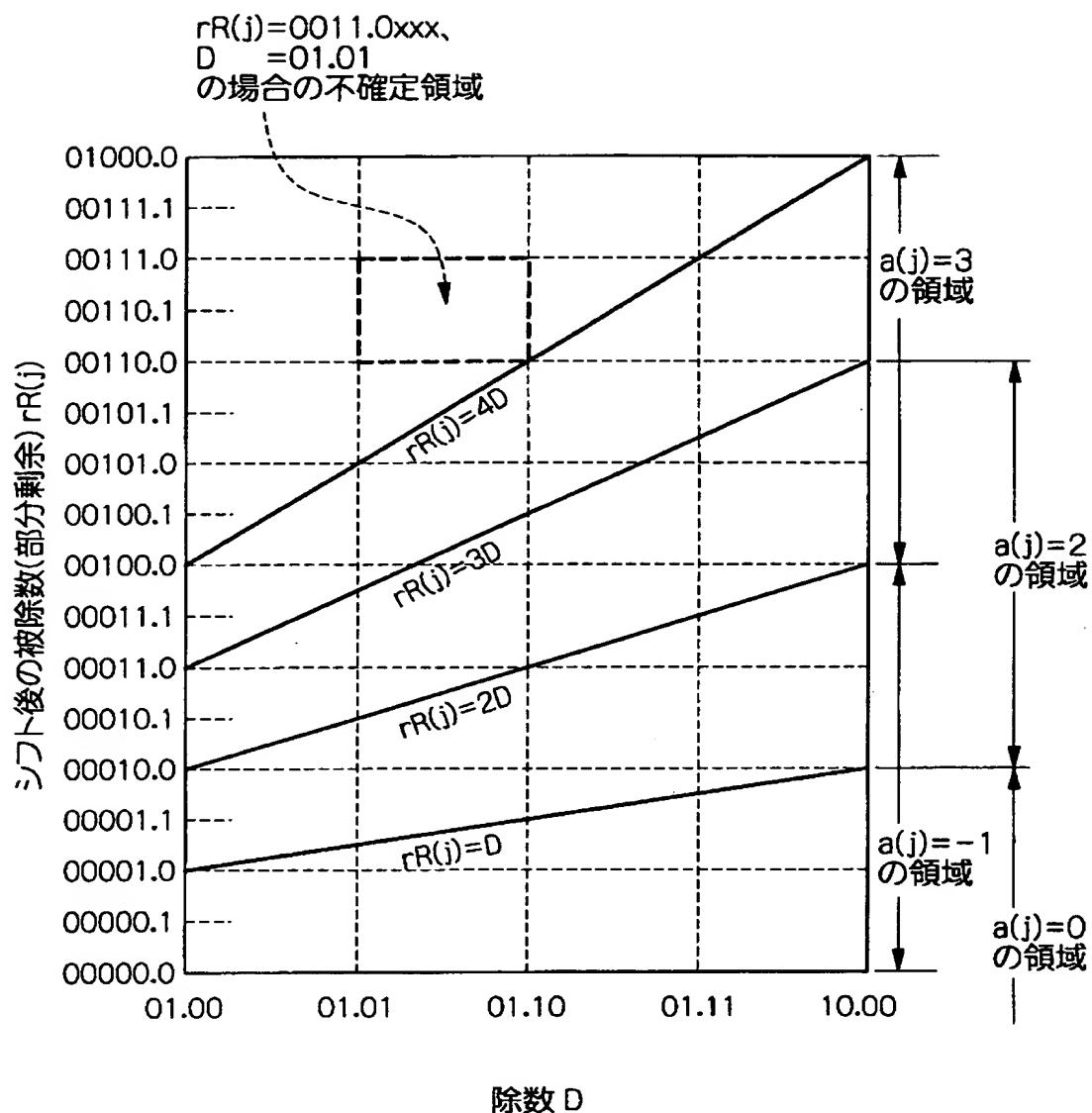
【図4】



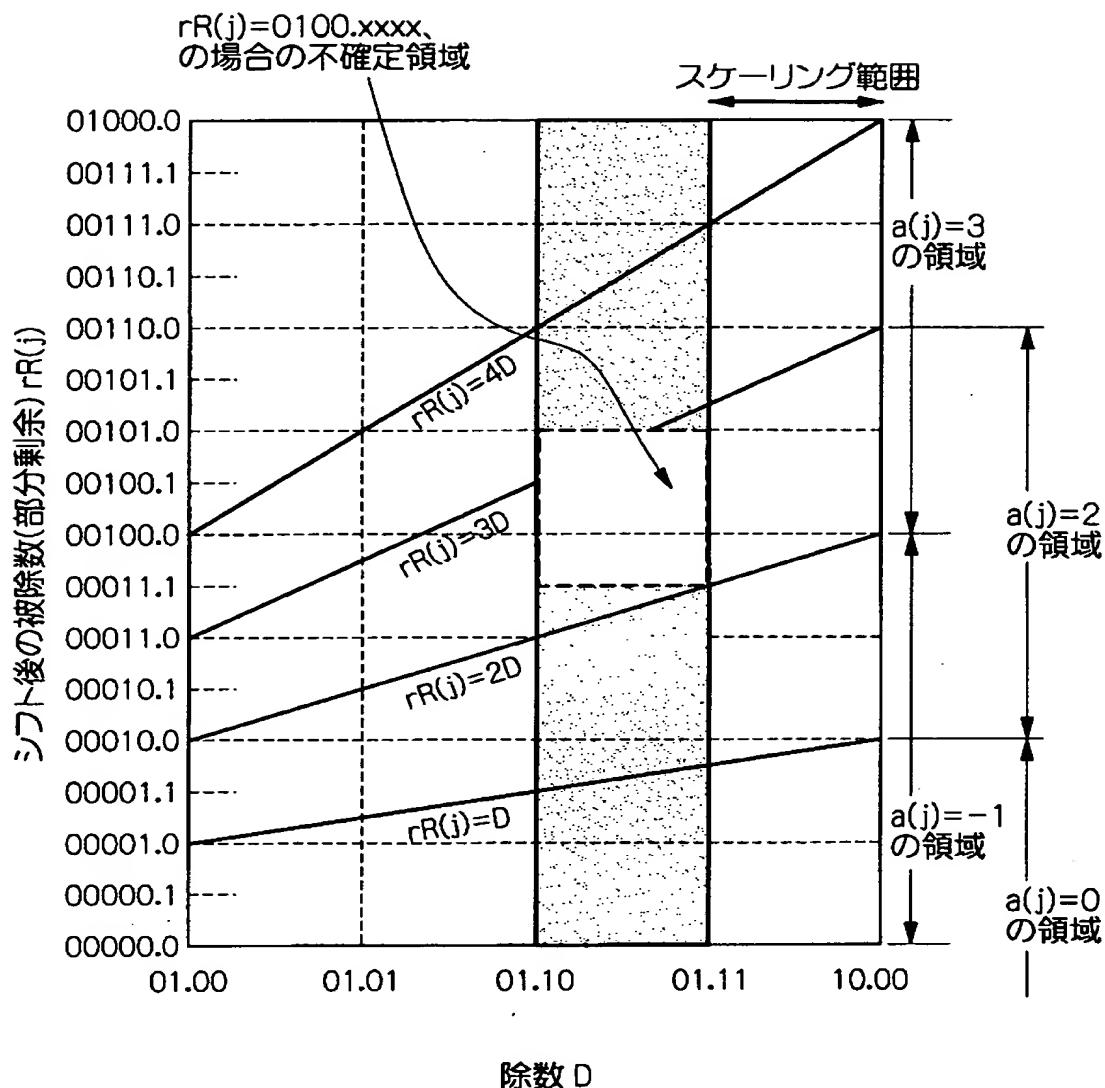
【図5】



【図6】



【図7】



【書類名】 要約書

【要約】

【課題】 除数に対してスケーリングを行いかつ部分剰余に冗長二進表現を用いる高基數減算シフト方式の除算器において、商生成の高速化を図る。

【解決手段】 k を正整数として、 $1 / 2^k$ 以上 $1 / 2^{k+1}$ 未満に正規化された除数及び被除数と、部分剰余の全ビットの内演算の基數及び最大デジット数により定められるビット長を参照して商を定める高基數型除算器において、除数を所定の範囲内にスケーリングする乗算係数を発生するスケーリングファクタ生成部と、乗算係数を除数及び被除数のそれぞれに乗算する乗算部と、乗算係数が乗算された除数の3倍数を生成する除数3倍数生成部と、部分剰余の任意長の上位ビット数を参照し二補数化された4ビットの部分剰余の上位ビットを生成し該部分剰余の上位4ビットを参照して商を生成する繰り返し演算部を備える。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2000-029524
受付番号	50000135528
書類名	特許願
担当官	濱谷 よし子 1614
作成日	平成12年 2月16日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000004237
【住所又は居所】	東京都港区芝五丁目7番1号
【氏名又は名称】	日本電気株式会社

【代理人】

【識別番号】	100108578
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所
【氏名又は名称】	高橋 詔男

【代理人】

【識別番号】	100064908
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所
【氏名又は名称】	志賀 正武

【選任した代理人】

【識別番号】	100101465
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所
【氏名又は名称】	青山 正和

【選任した代理人】

【識別番号】	100108453
【住所又は居所】	東京都新宿区高田馬場3丁目23番3号 ORビル 志賀国際特許事務所
【氏名又は名称】	村山 靖彦

次頁無

出願人履歴情報

識別番号 [000004237]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 東京都港区芝五丁目7番1号

氏 名 日本電気株式会社